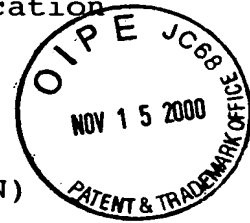


Jpn. Pat. Appln. KOKAI Publication NO. 63-236354

1. Filing Number: Japanese Patent Application
No. 62-69117
2. Filing Date: March 25, 1987
3. Applicant: Toshiba Corporation (JAPAN)
4. KOKAI/KOKOKU Date: October 3, 1988
5. Priority: Non
6. Request for Examination: Filed
7. Int. Cl4 & Japanese Classification: H 01 L 27/08



SPECIFICATION

1. TITLE OF THE INVENTION
SEMICONDUCTOR DEVICE
2. WHAT IS CLAIMED IS:

A semiconductor device of MOS type provided with a power supply voltage drop circuit, wherein the gate insulation film thickness of a MOS FET operated on the basis of a power supply voltage supplied externally is made thicker than the gate insulation film thickness of a MOS FET operated on the basis of a voltage which has been dropped by the power supply voltage drop circuit.

3. DETAILED DESCRIPTION OF THE INVENTION
[OBJECT OF THE INVENTION]
[INDUSTRIAL APPLICABLE FIELD]

The present invention relates to a LSI constituted by MOS FETs, and in particular to a semiconductor device with

29/78
TC 2800 MAIL ROOM
NOV 17 2000
RECEIVED

a built-in power supply voltage drop circuit.

[PRIOR ART]

In general, in a LSI constituted by using MOS FETs, the gate oxidation films of all of MOS FETs are set to the same thickness. This is because manufacturing process of the LSI is simplest and all of the MOS FETs in the LSI chip operate at 5V.

However, each element and each wire are made finer according to advance of large scale integration in recent years, and it has become difficult to maintain the reliability of the LSI operating at the above 5V when the design rule becomes 0.8 μm or less. This results from the fact that, when an element is small-sized while the power supply voltage is kept constant, electric field is made high. As a result, there occurs such a problem as hot carrier effect, deterioration in voltage proof of a gate oxidation film or the like.

Resistance to hot carrier can be achieved in the MOS FET by employing a LDD structure for the MOS FET but it is limited in a certain range. There is no decisive means for overcoming deterioration in voltage proof of the gate oxidation film.

In view of the above circumstances, a method for reducing an internal power supply voltage in a LSI has been proposed. In this method, the power supply voltage of 5V is supplied from the outside, it is dropped to 3.3V or so at a power supply voltage drop circuit formed in a chip,

and internal circuits are operated at the dropped voltage. However, even in such a configuration, a circuit operating at 5V exists in an input/output portion, so that hot carrier effect and deterioration in voltage proof of a gate oxidation film can not be avoided.

[PROBLEM TO BE SOLVED BY THE INVENTION]

As mentioned above, in the conventional semiconductor device, there is a drawback that the hot carrier effect, the deterioration in voltage proof of the gate oxidation layer or the like occurs according to advance of large scale integration so that the reliability of the LSI is lowered. As means for solving such a drawback, employment of a LDD structure for the MOS FET is considered. However, there is a limitation in such means, and the voltage proof of the gate oxidation film can not be prevented from deteriorating. In view of this circumstance, a method for lowering internal voltage in the LSI has been proposed. Even in such a structure, hot carrier effect in the input/output portion or deterioration in voltage proof of the gate oxidation film can not be avoided.

The present invention has been achieved in view of the above circumstances and an object thereof is to provide a semiconductor device where hot carrier effect or gate oxidation film deterioration can securely be reduced and reliability can be improved even when the semiconductor device is made finer according to advance of large scale integration.

[STRUCTURE OF THE INVENTION]

[MEANS FOR SOLVING PROBLEM AND OPERATION]

That is, in the present invention, in order to achieve the above object, at least two kinds of gate oxidation films of a MOS FET are used in a LSI, and the gate oxidation film thickness of a MOS FET in an input/output circuit portion which is operated at a power supply voltage supplied from the outside is formed to be thicker than the gate oxidation film thickness of a MOS FET of an internal circuit which is operated at a voltage which has been dropped at a power supply voltage drop circuit.

With this arrangement, since the gate oxidation film of the MOS FET in the input/output circuit portion is made thick, hot carrier effect or voltage proof deterioration of the gate oxidation film can be prevented. Also, since the voltage supplied to the internal circuit is dropped at the power supply voltage drop circuit, the gate oxidation film of the MOS FET constituting the internal circuit may be made thinner, and obstruction to advance of large scale integration and reduction in performance do not occur.

[EMBODIMENT]

An embodiment of the present invention will be explained below with reference to the drawings. FIG. 2 shows a circuit configuration example of a semiconductor device provided with a power supply voltage drop circuit. In FIG. 2, reference numeral 11 denotes a LSI chip. Built in the LSI chip 11 are three circuit blocks, namely, an

input/output circuit portion 12 which operates at a power supply voltage of 5V and which performs transmission/reception of data with an external device, a power supply voltage drop circuit 13 which drops the power supply voltage of 5V supplied through the input/output circuit portion 12 to, for example, 3.3V, and a cell and peripheral circuit 14 which is supplied with the voltage which has been dropped by the power supply voltage drop circuit 13 to be operated.

FIG. 1 shows a sectional configuration of a MOS FET configuring the input/output circuit portion 12, and the cell and peripheral circuit 14 in FIG. 2. In FIG. 1, reference numeral 15 denotes a P type silicon substrate, 16 denotes a N type well region applied with a voltage of 3.3V, 17 denotes a N type well region applied with a voltage of 5V, 18 denotes a gate oxidation film whose film thickness is 12 nm, 19 denotes a gate oxidation film whose film thickness is 20 nm, 20 and 20' denote source regions, 21 and 21' denote drain regions, 22 denotes a gate electrode, and 23 denotes an oxidation film for element separation. As illustrated, the gate oxidation film 19 of the MOS FET constituting the input/output circuit portion 12 is made thinner than the gate oxidation film 18 of the MOS FET constituting the cell and peripheral circuit 14.

Next, a method for manufacturing the semiconductor device structured in the above manner will be explained with reference to FIGS. 3 (a) to 3 (d). As shown in

FIG. 3 (a), first, the N type well regions 16 and 17 are formed on the P type silicon substrate 15 using an ordinary CMOS process. Next, after the oxidation film 23 for element separation is formed selectively, the gate oxidation film 24 with thickness of 12 nm or so is formed on the silicon substrate 15 on the element region which has been separated by the oxidation film 23 for element separation.

Next, the gate insulation layer 24 of the MOS FET constituting the cell and peripheral circuit 14 is selectively etched and removed, and the silicon substrate 15 is exposed, as shown in FIG. 3 (b).

Thereafter, thermal oxidation is performed again so that the gate oxidation film 18 with film thickness of about 12 nm is formed on the above exposed silicon substrate 15 of the cell and peripheral circuit 14. At this time, the gate oxidation film 24 of the input/output circuit portion 12 grows up to the gate oxidation film 19 with film thickness of about 20 nm, as shown in FIG. 3 (c).

The subsequent process is similar to an ordinary CMOS process. That is, after the polysilicon gate 22 is formed, the polysilicon gate 22 is utilized as a mask to perform ion implantation of impurities for forming N type and P type selectively, thereby forming the source region 20' and the drain region 21' of the N channel type MOS FET, and the source region 20 and the drain region 21 of the P channel type MOS FET, respectively (refer to FIG. 3(d)).

According to such a manufacturing method, the gate oxidation film 19 of the MOS FET of the input/output circuit portion 12 which operates at 5V can be made thicker than the gate oxidation film 18 of the MOS FET which is operated at the voltage which has been dropped by the power supply voltage drop circuit 13. With such an arrangement, the gate oxidation film of the MOS FET constituting the input/output circuit portion 12 is made thick so that hot carrier effect or voltage proof deterioration of the gate oxidation film can be prevented. As a result, the reliability of the MOS FETs in the entire circuit constituting the LSI chip 11 can be improved largely. As the embodiment mentioned above, for example, in the case that the gate oxidation layer 19 of the MOS FET constituting the input/output circuit portion 12 has the thickness of 20 nm and the voltage of 5V is applied thereto, the electric field applied to the gate oxidation layer of the MOS FET is 2.5 MV/cm, and in the case that the gate oxidation layer 18 of the MOS FET constituting the cell and peripheral circuit 14 has the thickness of 12 nm and the voltage of 3.3V is applied thereto, the electric field is 2.75 MV/cm. In the both cases, the electrical fields have values of 3 to 5 MV/cm or less and therefore sufficiently high reliability can be obtained.

Furthermore, in the structure of the present invention, since 5V can be used as an interface of the LSI, such an effect can be obtained that the LSI can be used

without a TTL compatible.

[EFFECT OF THE INVENTION]

As mentioned above, according to the present invention, a semiconductor device can be obtained that, even when the semiconductor device is made finer according to advance of large scale integration, the hot carrier effect or the voltage proof deterioration of the gate oxidation layer can be reduced securely, the reliability can be improved.

4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a view showing a sectional configuration of a semiconductor device according to an embodiment of the present invention; FIG. 2 is a block diagram showing a circuit configuration of the device shown in FIG. 1; and FIGS. 3 (a) to 3 (d) are views for explaining a method for manufacturing the semiconductor device shown in FIG. 1.

11. LSI chip, 12. input/output circuit portion, 13. power supply voltage drop circuit, 14. cell and peripheral circuit, 18. gate oxidation film of MOS FET constituting cell and peripheral circuit, and 19. gate oxidation film of MOS FET constituting input/output circuit portion.

Agent for Applicant: Takehiko SUZUYE Patent Attorney

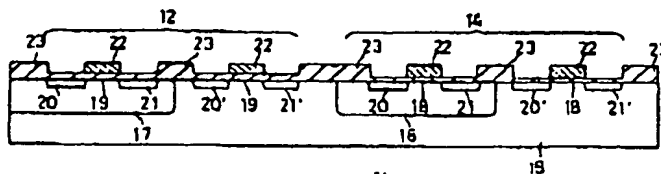


FIG. 1 第 1 図

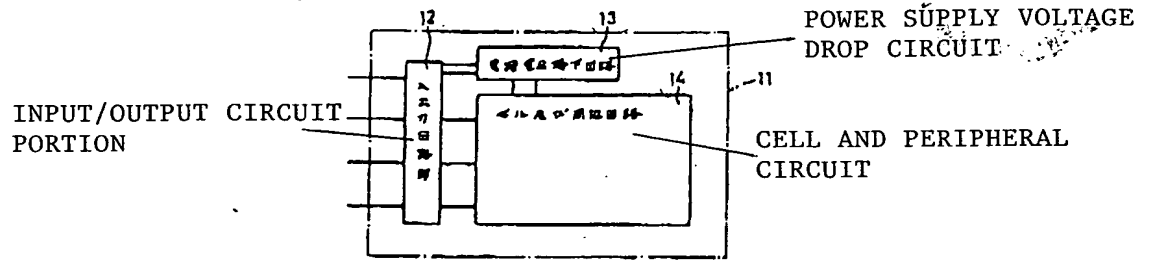


FIG. 2 第 2 図

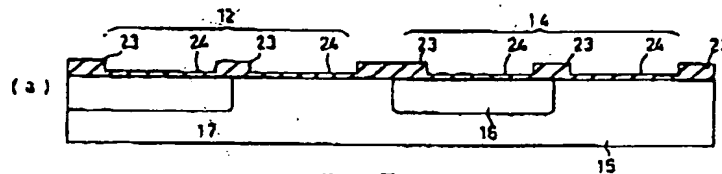


FIG. 3 第 3 図

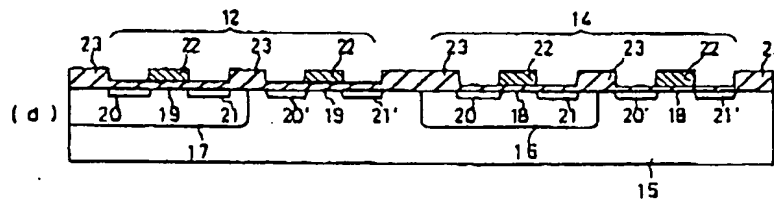
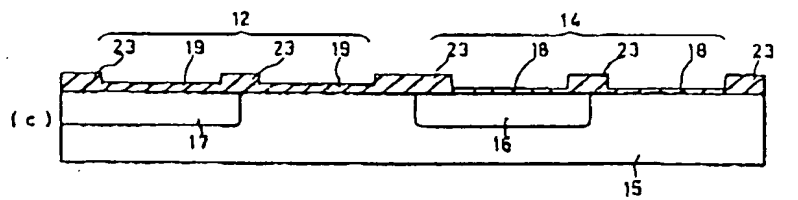
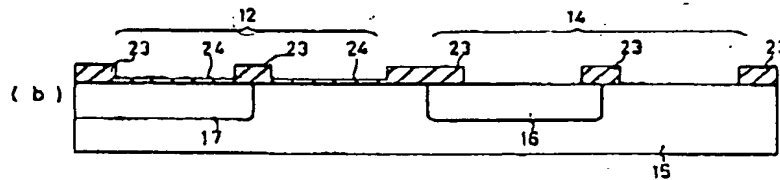


FIG. 3 第 3 図

【일본특개소63-236354(공개이88.10)】

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-236354

⑬ Int. Cl.

H 01 L 27/08
29/78

識別記号

1 0 2
3 0 1

庁内整理番号

C-7735-5F
C-8422-5F

⑭ 公開 昭和63年(1988)10月3日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-69117

⑰ 出 願 昭62(1987)3月25日

⑱ 発 明 者 各 務 正 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

電源電圧降下回路を備えたMOS型半導体装置において、外部から供給される電源電圧に基づいて作動されるMOS FETのゲート絶縁膜厚を、前記電源電圧降下回路によって降下された電圧に基づいて作動されるMOS FETのゲート絶縁膜厚より厚く形成したことを特徴とする半導体装置。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

この発明は、MOS FETで構成されるLSIに係わるもので、特に内部に電源電圧降下回路を備えた半導体装置装置に関する。

(従来の技術)

一般に、MOS FETを用いて構成されるLSIにおいては、LSIチップ内の全ての

MOS FETのゲート絶縁膜厚は同じに設定されている。これは製造プロセスが最も簡単であり、しかもLSIチップ内の全てのMOS FETが5Vで動作するためである。

しかしながら、近年のLSIの高密度化に伴って素子および配線の微細化が進んでおり、デザインルールが0.8μm以下になると上記5Vの動作電源電圧ではLSIの信頼性を保つのが困難になってきている。これは、電源電圧を一定のまま素子を縮小すると電界が弱くなることによる。この結果、ホットキャリア効果やゲート絶縁膜の劣化劣化等の問題をもたらす。

この対策として、MOS FETをLDD構造にしてホットキャリアに対して耐性を持たせる事はできるものの、これにも限界があり、ゲート絶縁膜の劣化劣化に関しては決定的な手段がない。

以上のような事情から、LSIの内部電源電圧を下げる方法が提案されている。これは外部からは5Vの電源電圧を供給し、この電源電圧をチップ内に形成した電源電圧降下回路で3.3V程度

特開昭63-236354(2)

に低下させ、内部回路をこの低下させた電圧で動作せしめるものである。しかしながら、このような構成でも入出力部には5Vで動作する回路が存在し、この回路におけるホットキャリア効果やゲート酸化膜の耐圧劣化は避けられない。

(発明が解決しようとする問題点)

上述したように従来の半導体装置では、高度積化に伴ってホットキャリア効果やゲート酸化膜の耐圧劣化等が発生し、LSIの信頼性が低下する欠点がある。このような欠点を除去するためにMOS FETをLOD構造にすることが考えられているがこれにも限界があり、且つゲート酸化膜の耐圧劣化を防止することはできない。そこで、LSIの内部電圧を下げる方法が提案されているが、このような構成でも入出力部の回路におけるホットキャリア効果やゲート酸化膜の耐圧劣化は避けられない。

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、高度積化によって縮小化されてもホットキャリア効果やゲート

酸化膜の耐圧劣化を確実に低減でき、信頼性を向上できる半導体装置を提供することである。

(発明の構成)

(問題点を解決するための手段と作用)

すなわち、この発明においては、上記の目的を達成するために、MOS FETのゲート酸化膜をLSIの内部で2種類以上用いており、外部から供給される電源電圧で動作される入出力回路部におけるMOS FETのゲート酸化膜厚を、電源電圧降下回路で降下した電圧で動作される内部回路のMOS FETのゲート酸化膜厚より厚く形成している。

こうすることにより、入出力回路部におけるMOS FETのゲート絶縁膜は厚いのでホットキャリア効果やゲート酸化膜の耐圧の劣化を防止でき、且つ電源電圧降下回路で内部回路に供給する電圧を降下しているためこの内部回路を構成するMOS FETのゲート酸化膜厚は薄くてもよく、高度積化の妨げや性能低下はない。

(実施例)

以下、この発明の一実施例について図面を参照して説明する。第2図は、電源電圧降下回路を有する半導体装置の回路構成例を示している。第2図において、11はLSIチップで、このチップ11内には5Vの電源電圧で動作し外部とデータの授受を行なう入出力回路部12、この入出力回路部12を介して供給される5Vの電源電圧を例えば3.3Vに降下させる電源電圧降下回路13、及びこの電源電圧降下回路13によって降下された電圧が供給されて動作されるセル及び周辺回路14の3つの回路ブロックが内蔵されている。

第1図は上記第2図の回路における入出力回路部12とセル及び周辺回路14を構成するMOS FETの断面構成を示している。第1図において、15はP型のシリコン基板、16は3.3Vの電圧が印加されるN型のウェル領域、17は5Vの電圧が印加されるN型のウェル領域、18は膜厚が12nmのゲート酸化膜、19は膜厚が20nmのゲート酸化膜、20、20'はソース領域、21、21'はドレイン領域、22はゲート電極、23は素子分離用絶

化膜で、図示する如く入出力回路部12を構成するMOS FETのゲート酸化膜19は、セル及び周辺回路14を構成するMOS FETのゲート酸化膜18より厚く形成されている。

次に、上述した構成の半導体装置の製造方法について第3図(a)~(d)を参照して説明する。まず、(a)図に示すように、通常のCMOSプロセスを用いてP型のシリコン基板15にN型のウェル領域16、17を形成する。次に素子分離用の酸化膜23を選択的に形成した後、この素子分離用酸化膜23で分離された素子領域上のシリコン基板15上にゲート酸化膜24を12nm程度の厚さに形成する。

次に、セル及び周辺回路14を構成するMOS FETのゲート絶縁膜24を選択的にエッチングして除去し、シリコン基板15を露出させると(b)図に示すようになる。

その後、再び熱酸化を行なってセル及び周辺回路14の上記露出されたシリコン基板15上に膜厚が約12nmのゲート酸化膜18を形成する。この際、

入出力回路部12のゲート酸化膜24は約20nmの厚のゲート酸化膜19に成長し、(c)図に示すようになる。

以降は、通常のCMOSプロセスと同様であり、ポリシリコンゲート22を形成した後、このポリシリコンゲート22をマスクとしてN型及びP型を形成する不純物のイオン注入をそれぞれ選択的に行ない、Nチャネル型MOS FETのソース領域20、ドレイン領域21、及びPチャネル型MOS FETのソース領域20、ドレイン領域21をそれぞれ形成する((d)図参照)。

このような製造方法によれば、5Vで動作する入出力回路部12のMOS FETのゲート酸化膜19を、高電圧降下回路13で降下させた電圧で作動されるMOS FETのゲート酸化膜18よりも厚くできる。このような構成では、入出力回路部12を構成するMOS FETはゲート酸化膜厚が厚いことによりホットキャリア効果やゲート酸化膜の耐圧劣化を防止でき、セル及び周辺回路14は電圧降下を低くさせたことによりホットキャリア

効果やゲート酸化膜の耐圧劣化を防止でき、LSIチップ11を構成する回路全体のMOS FETの信頼性を大幅に向上できる。例えば上述した実施例のように、入出力回路部12を構成するMOS FETのゲート酸化膜19が20nmで5Vの電圧が印加される場合には、このMOS FETのゲート酸化膜にかかる電界は2.5MV/cm、セル及び周辺回路14を構成するMOS FETのゲート酸化膜18が12nmで3.3Vの電圧が印加される場合の電界は2.75MV/cmであり、どちらも一般に信頼性を確保できると言われている3~5MV/cm以下の電界であり、充分高い信頼性が得られる。

更に、この発明の構成では、LSIのインターフェイスとして5Vを使用できるので、今までのTTLコンパチブルを崩さずに使用できるという効果も得られる。

【発明の効果】

以上説明したようにこの発明によれば、高電圧化によって酸化されてもホットキャリア効果

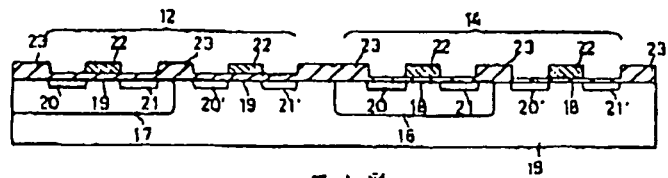
やゲート酸化膜の耐圧劣化を確実に低減でき、信頼性を向上できる半導体装置が得られる。

4. 図面の簡単な説明

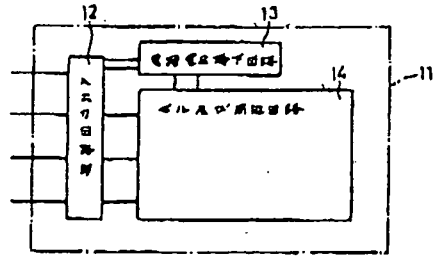
第1図はこの発明の一実施例に係わる半導体装置の断面構成を示す図、第2図は上記第1図の装置の回路構成を示すブロック図、第3図は上記第1図に示した半導体装置の製造方法を説明するための図である。

11…LSIチップ、12…入出力回路部、13…高電圧降下回路、14…セル及び周辺回路、18…セル及び周辺回路を構成するMOS FETのゲート酸化膜、19…入出力回路部を構成するMOS FETのゲート酸化膜。

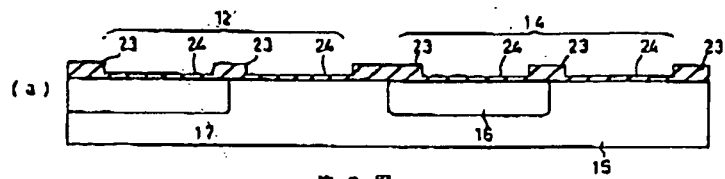
出願人代理人 弁理士 伊江武彦



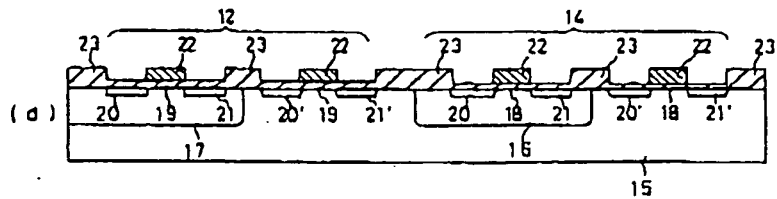
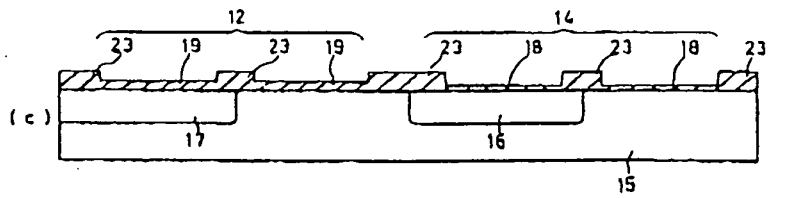
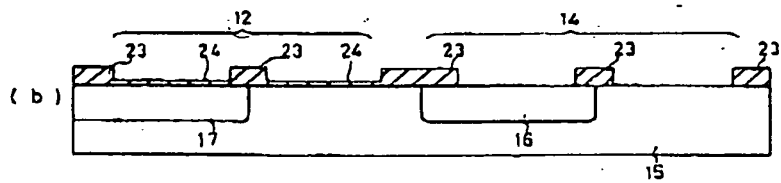
第 1 図



第 2 図



第 3 図



第 3 図